



Zentralübung Rechnerstrukturen: Cache-Kohärenz und -Konsistenz

Aufgabenblatt 6

1 Cache: Grundlagen

1.1 Cacheleistung

Ein Prozessorkern verfügt über eine 2-stufige Speicherhierarchie. Der L1-Cache hat eine Zugriffszeit von $t_{L1} = 1 \text{ ns}$, der L2-Cache hat eine Zugriffszeit von $t_{L2} = 6 \text{ ns}$ und beim Hauptspeicher beträgt die Zugriffszeit bei $t_{HS} = 128 \text{ ns}$.

In dieser Aufgabe kann der Hauptspeicher sämtliche Daten speichern. Gehen Sie in Ihren Berechnungen davon aus, dass die Zugriffszeit der niederen Ebenen schon in den höheren Ebenen integriert ist.

- Bei der Ausführung eines Benchmarks werden folgende Zugriffszeiten gemessen:
 $r_{H1} = 75\%$ und $r_{H2} = 60\%$. Berechnen Sie die mittlere Zugriffszeit t_a .
- Dieser Prozessorkern bildet die Grundlage eines CMP-Systems. Um die Kommunikation zwischen den Kernen zu beschleunigen wird ein L3-Cache eingesetzt, dessen Zugriffszeit $t_{L3} = 18 \text{ ns}$ beträgt. Bei der Ausführung des obigen Benchmarks auf dem CMP-System wird eine Hit-Rate des L3-Cache von $r_{H3} = 60\%$ gemessen. Welche Leistungssteigerung wird durch den zusätzlichen L3-Cache erreicht?

1.2 Beweise

Beweisen oder widerlegen Sie folgende Behauptungen:

- Eine Erhöhung der Assoziativität eines Caches zieht immer eine Verringerung der Miss-rate nach sich.
- Vollassoziative Caches haben satzassoziativen Caches gegenüber immer eine niedrigere Miss-Rate.

Hinweis: Gehen Sie in ihren Überlegungen davon aus, dass die Caches gemäß Least-Recently-Used-(LRU)-Strategie verdrängen.

1.3 Verständnisfragen

- Welche Eigenschaft von Anwendungen werden von Caches ausgenutzt?
- Welche Arten von Cache-Misses können unterschieden werden?
- Warum ist der Aufbau des Hauptspeichers aus SRAM-Zellen nicht sinnvoll?

2 Cache-Kohärenzprotokolle

2.1 MESI

Ein Multiprozessorsystem besteht aus drei Prozessoren, die über einen gemeinsamen Speicher gekoppelt sind. Die Caches haben je eine Größe von zwei Cachezeilen, welche je genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cachezeile an aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme das MESI-Protokoll zum Einsatz.

- Vervollständigen Sie die gegebene Tabelle. Geben Sie jeweils Inhalt der Cachezeile und MESI-Zustand an.

Prozessor	Aktion	Prozessor 1		Prozessor 2		Prozessor 3	
		Line 1	Line 2	Line 1	Line 2	Line 1	Line 2
	init	-	-	-	-	-	-
1	rd 6						
2	rd 2						
1	rd 4						
3	rd 4						
2	rd 3						
3	wr 7						
1	wr 4						
2	rd 7						
3	wr 5						
1	rd 3						
3	wr 3						
2	wr 7						

2.2 MOESI

Ein Zweiprozessorsystem sei speichergekoppelt. Die Caches haben jeweils eine Größe von drei Cachezeilen, welche jeweils genau ein Speicherwort aufnehmen können. Die Füllung des Caches erfolgt von der niedrigsten Cachezeile an aufwärts, sofern noch freie Zeilen zur Verfügung stehen, andernfalls wird gemäß LRU-Strategie verdrängt. Als Cache-Kohärenzprotokoll komme MOESI zum Einsatz. Der Cache sei initial leer.

Hinweis: Das MOESI-Protokoll ist ein um einen weiteren Zustand *O* erweitertes MESI-Protokoll. Dieser Zustand beschleunigt den Zugriff auf Daten, die in entfernten Caches bereits als modifiziert gekennzeichnet sind, indem die Daten direkt vom Cache des ersten Prozessorkerns in den Cache des zweiten Prozessorkerns transferiert werden. Dies erspart das Zurückschreiben und das Lesen der modifizierten Daten in den Hauptspeicher.

Der Cache mit den modifizierten Daten wechselt anschließend von Zustand *M* in den Zustand *O*, in den weiteren Caches wird das Datum, gemäß MESI-Protokoll, als Shared *S* markiert. Werden die Daten in Caches mit dem Zustand *S* modifiziert, so wird das Datum in den anderen Caches invalidiert (Zustand *I*).

- Vervollständigen sie die gegebene Tabelle: Geben Sie jeweils Inhalt der Cache-Zeile und MOESI-Zustand an.

Prozessor	Aktion	Prozessor 1			Prozessor 2		
		Line 1	Line 2	Line 3	Line 1	Line 2	Line 3
	init	-	-	-	-	-	-
1	rd 1						
2	rd 2						
1	rd 2						
1	rd 4						
2	wr 6						
1	rd 6						
2	rd 2						
1	wr 6						
1	wr 4						
2	rd 3						
1	rd 5						
2	rd 6						
2	wr 5						

2.3 Verständnisfragen

- Welche zusätzliche Hardware wird für das MESI-Protokoll benötigt?
- Warum läßt sich MESI nicht in Distributed Shared Memory (DSM) Systemen einsetzen?
- Welche Protokolle stellen in DSM-Systemen die Cache-Kohärenz sicher?